

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-065980

(43)Date of publication of application : 09.03.1999

(51)Int. CI.

G06F 13/12

H04L 12/44

(21)Application number : 09-220408

(71)Applicant : HITACHI LTD

(22)Date of filing : 15.08.1997

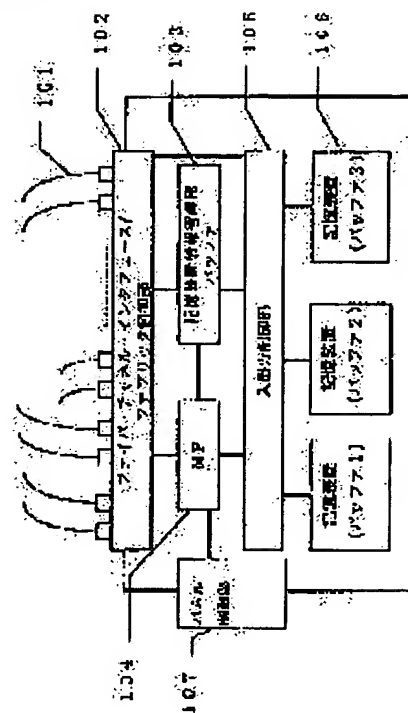
(72)Inventor : NAGASHIMA MASAFUMI
KOBAYASHI MASAOKI

(54) FABRIC WITH STORAGE DEVICE AND CONTROLLER THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To improve processing efficiency by fetching data in a storage device within a fabric at the time of a data updating request frame (write request) and judging the existence of data within the fabric at the time of a data reading request frame (read request) to transfer to a data request destination at the time of existing.

SOLUTION: Fiber channel interface control part 102 receives a frame. MP (microprocessor) 104 analyzes a frame to check whether the port of a requesting destination is connected or not and when it is connected, the requesting contents of the frame are analyzed. When, the analyzing result is a read request, whether request data exists or not within the storing device is checked from a table managed in a buffer and when it exists, data is sent to a fiber channel interface control part 102 to transfer to a request source port. When a frame analyzing result is a write request, a data housing area is assigned from a storing management table and data is housed to update a storage device managing table.



LEGAL STATUS

[Date of request for examination]

08.12.2000

BEST AVAILABLE COPY

[Date of sending the examiner's decision
of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number] 3524338

[Date of registration] 20.02.2004

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998, 2003 Japan Patent Office

(51)Int.Cl.⁸

G 0 6 F 13/12

H 0 4 L 12/44

識別記号

3 3 0

F I

G 0 6 F 13/12

H 0 4 L 11/00

3 3 0 T

3 4 0

審査請求 未請求 請求項の数3 O L (全 10 頁)

(21)出願番号

特願平9-220408

(22)出願日

平成9年(1997)8月15日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 長嶋 将文

神奈川県小田原市国府津2880番地 株式会

社日立製作所ストレージシステム事業部内

(72)発明者 小林 正明

神奈川県小田原市国府津2880番地 株式会

社日立製作所ストレージシステム事業部内

(74)代理人 弁理士 武 顕次郎

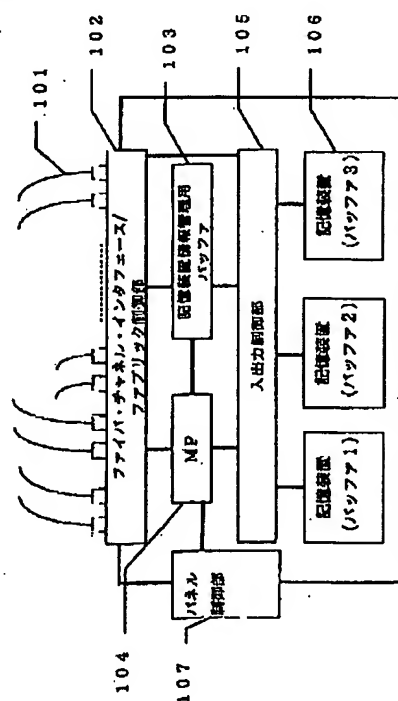
(54)【発明の名称】 記憶装置付きファブリックおよびこれの制御装置

(57)【要約】

【課題】 ファイバ・チャネル・インタフェースでファブリックを使用する接続構成においてファブリックの応答の高速化を実現すること。

【解決手段】 ファブリックに記憶装置106を搭載し、フレーム受領時にファブリック接続先のポートへのデータ更新要求フレーム(ライト要求)ならばファブリック内記憶装置にデータを取り込み、非同期にフレームを要求先に転送する手段と、データ読み込み要求フレーム(リード要求)ならばファブリック内にデータが存在するか否かを判断し存在する時、当該データをデータ要求先に転送する手段と、パネルよりポート情報/プロトコル情報/記憶装置容量等の情報103を設定する手段と、から構成される。データ要求元ポートに対し、データ要求先ポートに替わってデータの送受信を行い送り先ポートへの接続回数を減らしデータ要求元ポートに対する応答を高速にする。

図1



【特許請求の範囲】

【請求項1】 ファイバ・チャネルをインタフェースとし、複数のポート間を互いにアクセス可能とする転送経路を決めるスイッチ機能をもつファブリックであって、前記ファブリックに記憶装置を搭載し、

前記ファブリック接続先ポートへのデータ更新要求フレームならば前記記憶装置にデータを取り込み、データ読込要求フレームならば前記記憶装置に当該データが存在するか否かを判断することを特徴とするファブリック。

【請求項2】 複数のポート間を互いにアクセス可能とする転送経路を決めるスイッチ機能をもつファブリックに記憶装置を搭載し、

ファイバ・チャネルをインタフェースとする1つ以上の中央処理装置と1つ以上の外部記憶装置の間に前記記憶装置付きファブリックを接続し、

前記中央処理装置から前記外部記憶装置に送られてくるライトデータまたは外部記憶装置から中央処理装置に送られてくるリードデータを前記ファブリックに保持し、前記中央処理装置から前記外部記憶装置へのリード要求の際に、前記ファブリックに当該データが格納されているときは、前記外部記憶装置にアクセスしないで前記格納されている当該データを前記中央処理装置に転送し、前記中央処理装置から前記外部記憶装置に対するライト要求の際に、前記中央処理装置からのデータを前記ファブリックに取り込み、前記中央処理装置に対する処理を完結した後に非同期に前記外部記憶装置に当該データを送ることを特徴とするファブリックの制御装置。

【請求項3】 請求項2に記載のファブリックの制御装置において、

前記ファブリックの記憶装置内のデータ管理方式として、プロトコル情報とポート情報（ポート名、ノード名、ポートID）を設定するとともに、

前記記憶装置内の記憶領域を接続先ポート毎に設定可能とし、接続先ポートのデータ格納割り当て領域を一定容量または可変容量に割り当てingことを特徴とするファブリックの制御装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、ファイバ・チャネル・インタフェースを採用する製品に関連する技術で、ファブリックにアクセスが集中したときのファブリックの性能低下を防止するとともにフレーム応答を高速にするのに有効な技術に関する。

【0002】

【従来の技術】 本発明に関連する従来技術として、たとえば、特開平8-249263号公報に開示された「ファイバ・チャネル・システム内でファブリックを構成するための方法及び装置」は、ファブリックのサービスパラメタの互換性についての技術であり、また、特開平8-265369号公報に開示された「データ通信保進ス

イッチ」は、ファイバ・チャネル・ネットワークでの回路切り換えとフレーム切り換えの困難性について解決するための技術であり、本発明によるファブリックに記憶装置を設ける制御方式は開示されていない。

【0003】

【発明が解決しようとする課題】 ファイバ・チャネル・インタフェースで使用されるスイッチといわれるファブリックは、接続されるノード数が多くなるとアクセスが集中し、ファブリックの性能が低下する。

【0004】

【課題を解決するための手段】 本発明は、前記課題を解決するために、ファブリックに記憶装置またはバッファを搭載し、フレーム受領時にファブリック接続先のポートへのデータ更新要求フレーム（ライト要求）ならばファブリック内記憶装置にデータを取り込み、非同期に（または同期して）フレームを要求先に転送する手段と、データ読み込み要求フレーム（リード要求）ならばファブリック内にデータが存在するか否かを判断し存在する時、当該データをデータ要求先に転送する手段と、パネルよりポート情報／プロトコル情報／記憶装置容量等の情報を設定する手段と、から構成される。

【0005】 そして、本発明によれば、ファブリックに接続されている外部記憶装置全てに対し、本装置の記憶領域を割り当てる場合、非同期に外部記憶装置にデータを送ることが可能となりファブリックが込み合っている時に外部記憶装置にデータを転送しなくてもよい。ファブリックに対しパネルにより制御情報を設定可能とすることで記憶装置付きファブリックの処理効率の向上を図るものである。

【0006】

【発明の実施の形態】 以下、本発明の実施形態を図面に基づいて詳細に説明する。

【0007】 図1はファブリックの構成図である。図2は、記憶装置またはバッファを搭載したファブリック202を中央処理装置201（A～C）、外部記憶装置203（A～C）に接続した一例を示す概念図である。

【0008】 ここにおいて、101はファイバ・チャネル・ケーブル、102はファイバ・チャネル・インタフェース／ファブリック制御部、103は記憶装置情報管理用バッファ、104はMP（マイクロプロセッサ）、105は入出力制御部、106は記憶装置、107はパネル制御部、201は中央処理装置（ホスト）、202は記憶装置付きファブリック、203は外部記憶装置、をそれぞれ表す。

【0009】 図1に例示されるように、本実施形態の記憶装置付きファブリック202は、ファイバチャネルインタフェース／ファブリック制御部102、MP（マイクロプロセッサ）104、記憶装置またはバッファ106からなり、ファイバチャネルインタフェース／ファブリック制御部102は、ファイバチャネル上のフレーム

の送受信、ファブリックの制御を行い、フレーム情報をMP（マイクロプロセッサ）104に通知する機能を設けてある。

【0010】MP（マイクロプロセッサ）104は、送られてきたフレームの解析を行いフレームに応じた処理を行う。記憶装置情報管理用バッファにはフレームを一時的に格納する領域と記憶装置106に格納されているデータを管理するテーブルが格納されている。

【0011】入出力制御部105は、送られてきたデータを記憶装置に転送または、ファイバチャネルインタフェース／ファブリック制御部に転送する機能を設けている。

【0012】以下フレームについて説明する。

【0013】図7に例示されるように、フレームは、先頭をSOF701で終端をEOF705で示し、SOF701とEOF705の間にフレームヘッダ702、データフィールド703、CRC704がある。フレームヘッダ702には、フレームの送り先のIDを示すD_ID、フレームの送り元を示すS_ID、フレームの種類等の情報を示すフレーム識別情報がフレームヘッダ情報706として格納されている。データフィールド703にはコマンド、データが格納されている。CRC704は、フレームのデータを保証するためのチェックコードである。

【0014】以下ファブリックについて説明する。

【0015】図3に例示されるようにファブリックとは、複数のポートが互いにアクセス可能とする時に用いる装置で、例えばポートA301-aがポートB301-bに対しフレームを転送する際、ファブリック302はポートAから送られてきたフレームをポートBに送り、ポートA-ポートB間のアクセスを可能とする転送経路を決定する装置である。

【0016】図2は、記憶装置付きファブリック202を使用した接続例で、以下に本装置の制御方式を述べる。

【0017】ファブリックアクセス集中時の性能低下を防止するために記憶装置付きファブリック202に外部記憶装置203（A～C）のデータの1部または、全てを格納する。例えばホスト201（ホストA）が、外部記憶装置203（外部記憶装置A）に対し、記憶装置付きファブリック202を介してデータを要求したフレームを転送した時、データが記憶装置付きファブリック202に存在する時はホスト201（ホストA）-ファブリック202間のみでデータのやり取りを行う。外部記憶装置203に対しデータの更新があった時は、非同期に記憶装置付きファブリック202が外部記憶装置203（外部記憶装置A）にアクセスし、外部記憶装置203（外部記憶装置A）のデータを更新する制御方式である。

【0018】図8は、本装置がフレームを受領した時の

フレーム解析の一例を示すフローチャートである。

【0019】本装置がフレームを受領した時、フレームヘッダのS_ID、D_IDを取得する（ステップ801）。本記憶装置にそのD_IDが登録されているかチェックし（ステップ802）、登録されている時は、フレームヘッダに格納されているフレーム識別情報を取得する（ステップ803）。フレーム識別情報をもとにデータフィールドよりコマンド情報を取得する（ステップ804）。

【0020】リード系コマンドの時は、解析結果をリード系コマンド（ステップ805、ステップ806）、ライト系コマンドの時は解析結果をライト系コマンド（ステップ807、ステップ808）とする。リード／ライト系コマンド以外の時は解析結果をリード／ライト系コマンド以外のコマンドとする（ステップ809）。D_IDが登録されていない時は、解析結果をD_ID未登録とする（ステップ810）。

【0021】コマンド解析処理で取得したS_ID、D_ID、フレーム識別情報は、本装置が要求先ポートと接続せずに要求元ポートに応答する時にも使用する。

【0022】図4は、ファブリックがフレームを受領した時の動作の一例を示すフローチャートである。

【0023】図5は、非同期に外部記憶装置にデータを反映する時の動作の一例を示すフローチャートである。

【0024】最初にホストAから外部記憶装置Aへのアクセス要求がきた時の処理の一例を示す。ファイバチャネルインタフェース制御部102がフレームを受け取りMP104に通知する。MP104は受け取ったフレームを解析（ステップ401、ステップ402）し、要求先のポートが本装置に接続されているかチェックする（ステップ403）。要求先のポートが接続されている時、フレームの要求内容を解析する（ステップ404、ステップ405）。

【0025】解析結果が外部記憶装置Aに対するリード要求の時、バッファ内に管理されているテーブルより記憶装置内に要求データが存在するかチェックし（ステップ406）、データが存在する時は、入出力制御部に対しファイバチャネルインタフェース制御部にデータを送る。ファイバチャネルインタフェース制御部では送られてきたデータを要求元ポートに転送する（ステップ407）。要求元ポートに要求先ポートからの応答と認識できるように、要求元ポートへ転送するフレームヘッダのS_ID/D_ID/フレーム識別情報は、フレーム解析時に取得したS_ID/D_ID/フレーム識別情報を用いて作成する。

【0026】データが存在しない時は、ファブリック制御部に対し要求元／要求先ポートとの接続処理要求をする（ステップ408）。要求先ポートから要求元ポートへデータが送られてきた時、ファイバチャネルインタフェース制御部ではデータをバッファに格納し、MPに通

知する(ステップ409)。MPでは受けとったデータを記憶装置に格納し、格納済みデータを管理するテーブルを更新する(ステップ410)。ファブリック制御部では要求元へのデータ転送処理を行う(ステップ411)。

【0027】フレーム解析結果が外部記憶装置Aに対するライト要求の時、記憶装置管理テーブルよりデータ格納領域を割り当て(ステップ412)データを格納し(ステップ413)記憶装置管理テーブルを更新する(ステップ414)。

【0028】記憶装置容量が、記憶装置付きファブリックのデータ格納容量 \geq 全外部記憶装置容量の時は、問題無いが、記憶装置付きファブリックのデータ格納容量 < 全外部記憶装置容量の時は、適度にデータを外部記憶装置に反映しないと、データ格納領域がなくなってしまう。

【0029】この対策であるライトデータを外部記憶装置に反映するタイミングの一例として、図5のフローチャートに示すように、タイマ値を設け、一定時間経過後、未反映データがあるかチェックし(ステップ501、ステップ502)、外部記憶装置へ未反映データの掃き出し処理を行う(ステップ503)。

【0030】または、データ格納エリアの残り数を管理し、ある数を超えたら外部記憶装置へ未反映データ掃き出し処理を行う。

【0031】または、ファブリックの状態を管理し、ある時間経過してもファブリックにアクセスが来ない時に外部記憶装置へ未反映データ掃き出し処理を行うという管理が必要になる。

【0032】解析結果が外部記憶装置Aに対するリード/ライト以外の要求で外部記憶装置の代替として制御できない情報の時は、ファブリック制御部に対し要求元/要求先ポートとの接続処理要求し、ファブリック制御部のみで要求元/要求先ポート間の処理を実現させる(ステップ415)。

【0033】要求先のポートが接続されていない時は、リジェクト処理を行い処理を終了し(ステップ416)、フレーム待ち状態になる。

【0034】図6は、記憶装置管理用バッファで管理する情報の一例を示す管理体系図である。本バッファ内には、接続されているポート数、ファブリックアクセス状態(アクセスポート有/無)等の装置全体を管理するファブリック情報エリア601と1次受領フレーム格納エリア607のアドレス等のバッファ内管理情報エリア602とファブリック接続先ポートの情報を管理するファブリック接続先情報エリア603とからなり、ファブリック接続先情報603には、接続先ポートのポート名/ノード名/ポートID等のポート情報管理エリア604と接続先ポートのプロトコルを管理するプロトコル情報管理エリア605と接続先ポートの使用する記憶装置と

記憶装置内アドレスとそのサイズと記憶装置内のデータの存在または空きエリアを管理する記憶装置情報管理エリア606から構成される。

【0035】以下に、本装置の記憶装置管理用バッファの管理方法の一例について述べる。

【0036】ポート情報604/プロトコル情報605は、以下の目的で使用する。図1のMP104は、パネル制御部107からのポート情報/プロトコル情報の設定または変更要求を受領し、記憶装置情報管理用バッファ内で管理するファブリック接続先ポート情報602内のポート情報604/プロトコル情報605に設定する。設定されたポート情報604/プロトコル情報605は本装置に保持し、ポート間のフレーム転送時の通信プロトコルを容易に識別することを可能とする。

【0037】記憶装置情報606は、以下の目的で使用する。図1のMP104は、パネル制御部107から各ポートのデータ格納領域割り当て要求を受け記憶装置のデータ格納領域を各ポート毎に振り分ける608。データ格納領域をポート毎に可変に振り分ける手段を設けることにより、本装置内のデータサーチを高速にしかつ、アクセス頻度に応じたデータ格納領域の配分が可能となりファブリック-ポート間のみの処理(ファブリックのポート代替応答)を増やすことができる。

【0038】

【発明の効果】本発明の記憶装置付きファブリックにより、フレーム送信ポートからのデータ要求に対し、ファブリックに記憶装置を搭載することで高速にフレーム送信元に応答することが可能となり、また外部記憶装置に対するデータ更新処理を非同期に行うことで、ファブリックへアクセスが集中した時の負荷を分散させるという効果が得られる。

【図面の簡単な説明】

【図1】本発明の記憶装置付きファブリックの構成の1例を示す概念図である。

【図2】本発明の記憶装置付きファブリックを使用した他装置との接続の構成を示す概念図である。

【図3】ファイバ・チャネルにおけるファブリックを使用したポート間の接続の一例を示す説明図である。

【図4】本発明の実施形態である記憶装置付きファブリックの処理の一例を示すフローチャートである。

【図5】本発明の実施形態である記憶装置付きファブリックの処理の一例を示すフローチャートである。

【図6】本発明で使用する記憶装置情報管理用バッファの管理体系、記憶装置管理構成の一例を示す構成図である。

【図7】ファイバ・チャネルで転送されるフレームの説明図である。

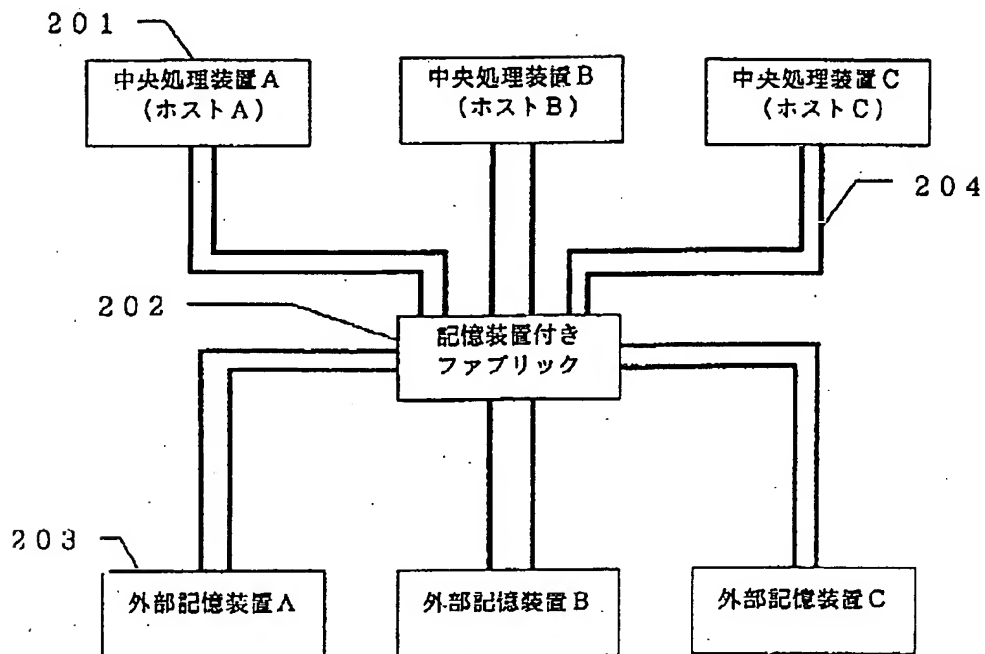
【図8】本発明の実施形態である記憶装置付きファブリックのフレーム解析処理の一例を示すフローチャートである。

【符号の説明】

101	ファイバ・チャネル・ケーブル	601	ファブリック管理情報
102	ファイバ・チャネル・インタフェース/ファブ リック制御部	602	バッファ内管理情報
103	記憶装置情報管理用バッファ	603	ファブリック接続先ポート情報
104	MP (マイクロプロセッサ)	604	ポート情報
105	入出力制御部	605	プロトコル情報
106	記憶装置	606	記憶装置情報
107	パネル制御部	607	1次フレーム格納エリア
201	中央処理装置 (ホスト)	608	ポートデータ格納領域
202	記憶装置付きファブリック	701	SOF
203	外部記憶装置	702	FRAME HEADER
301-a, 301-b	ポート	703	DATA FIELD
302	ファブリック	704	CRC
		705	EOF
		706	フレームヘッダ情報

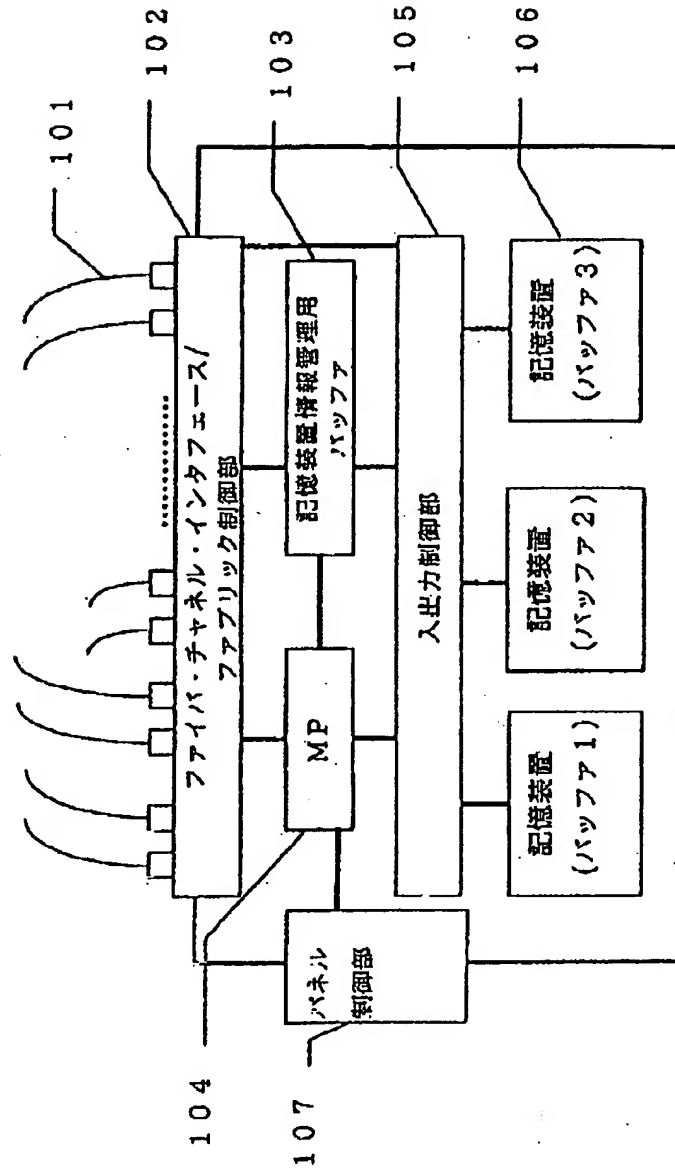
【図2】

図2

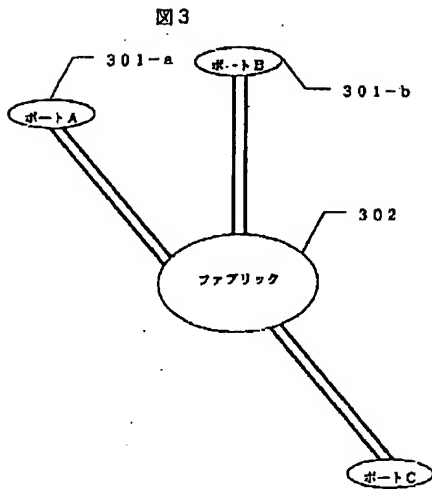


【図1】

図1

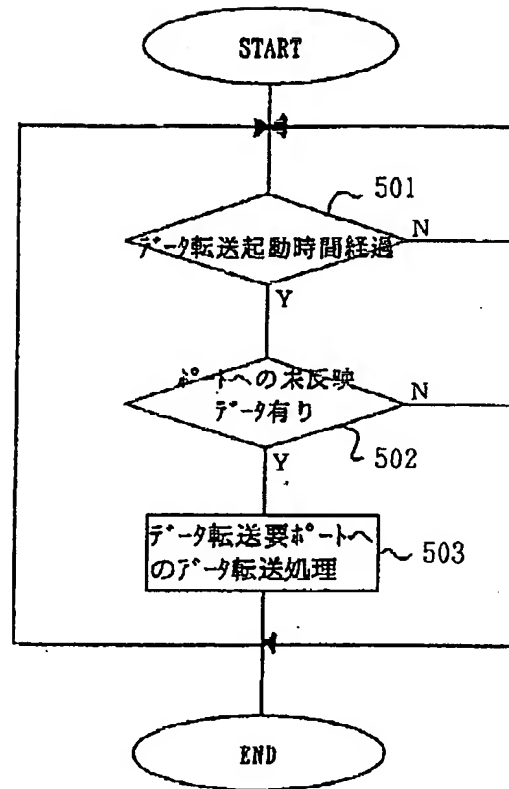


【図3】



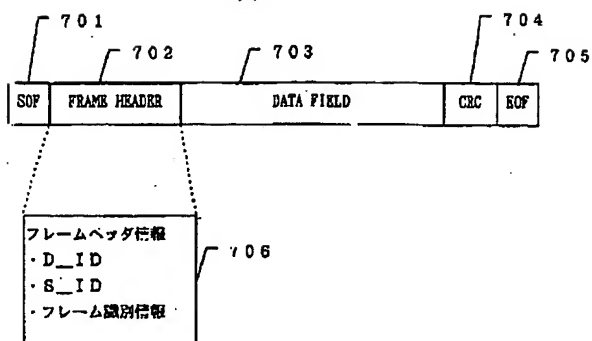
【図5】

図5



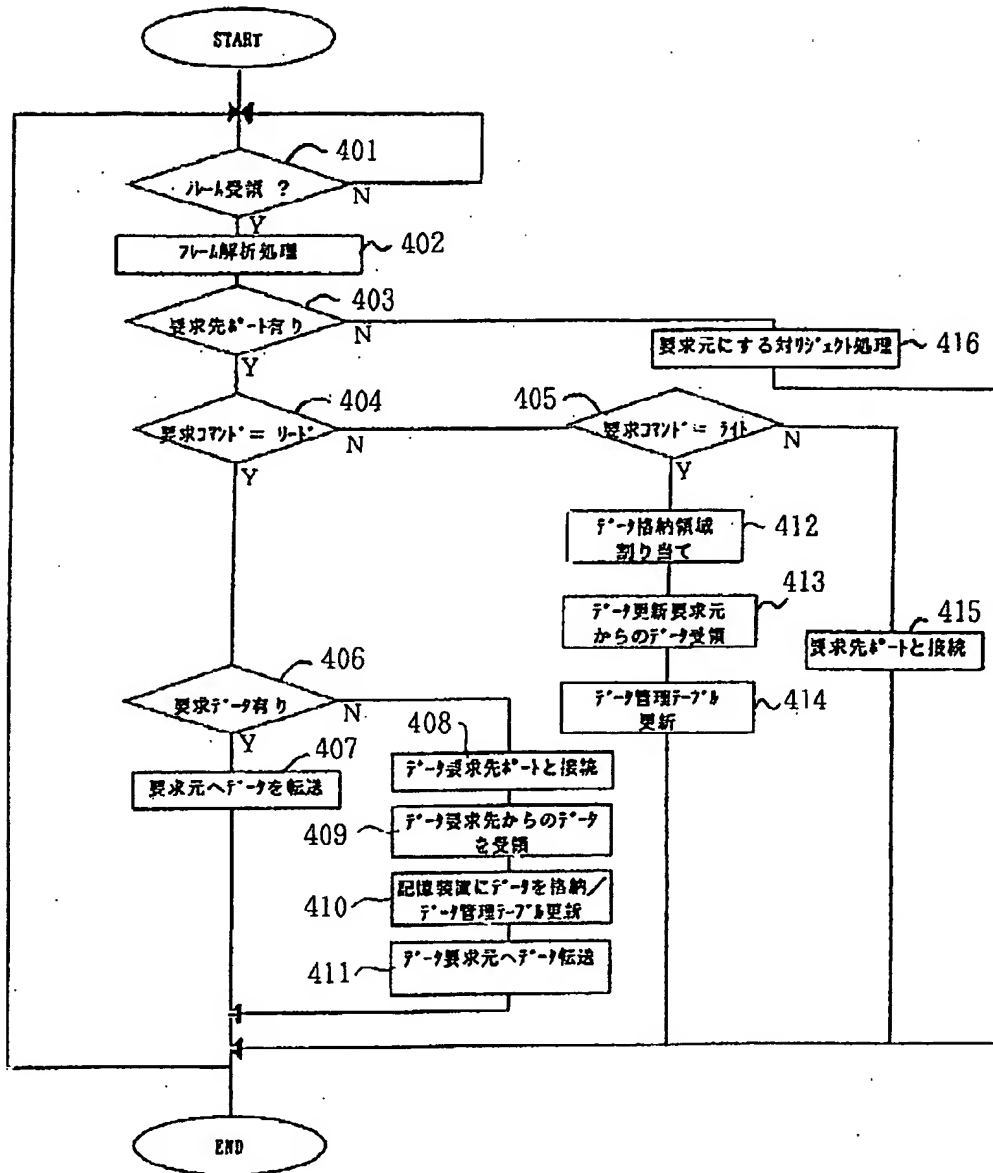
【図7】

図7



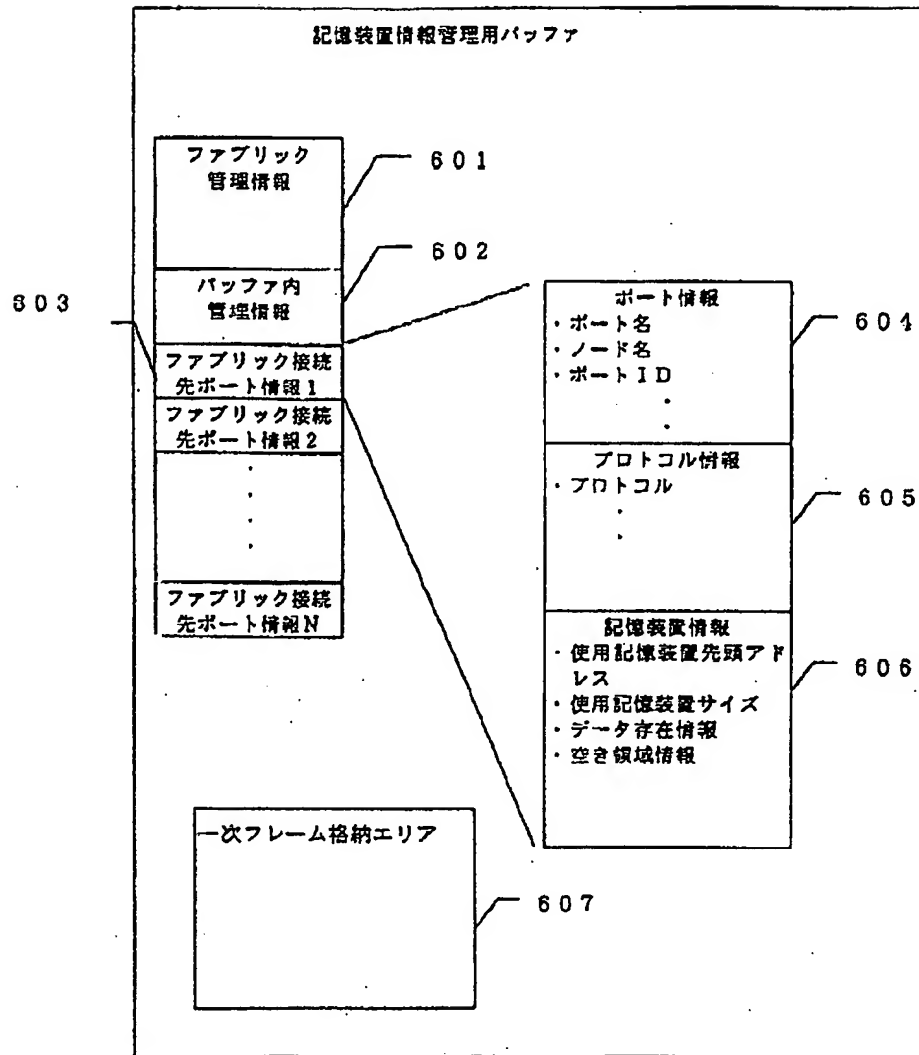
【図4】

図4



【図6】

図6



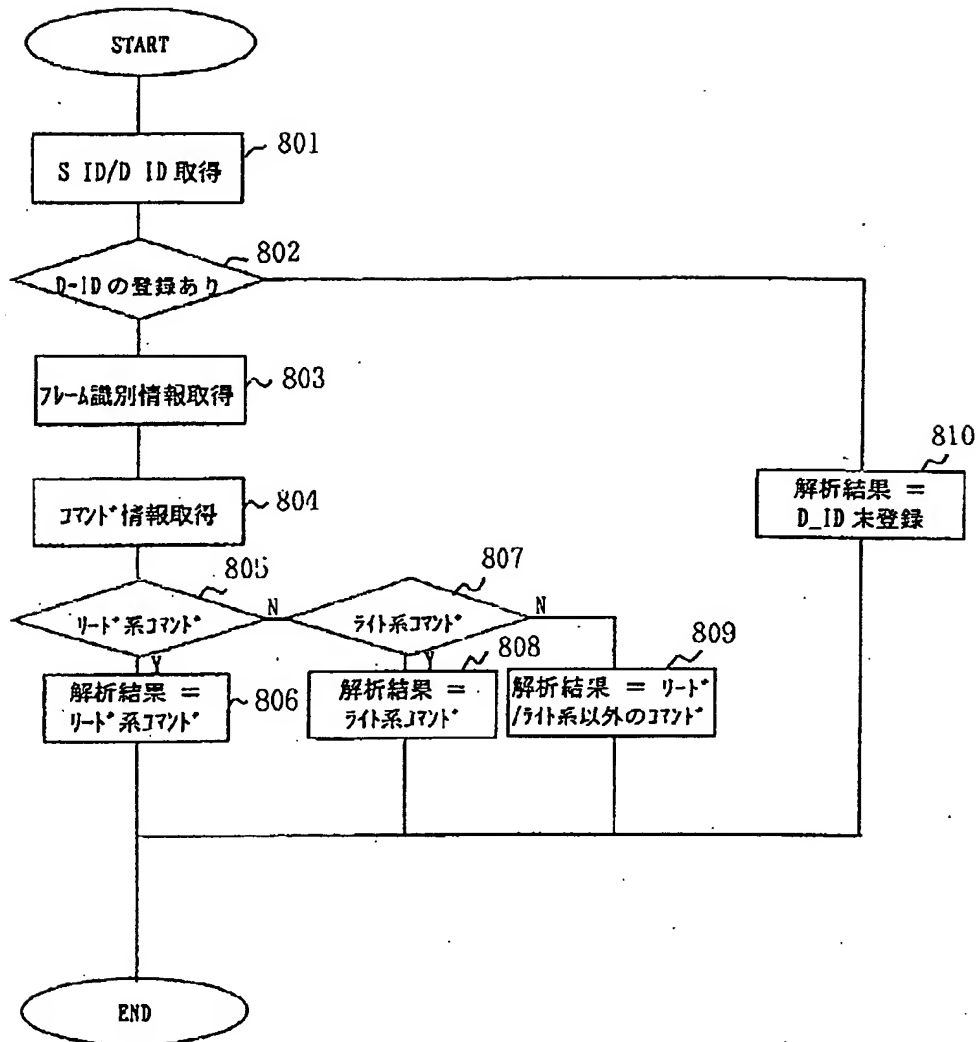
本装置の記憶装置管理構成

ポートA データ格納領域	ポートB データ格納領域	ポートX データ格納領域
-----------------	-----------------	-------	-----------------

608

【図8】

図8



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.